

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022077

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number : 10-183594

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 30.06.1998

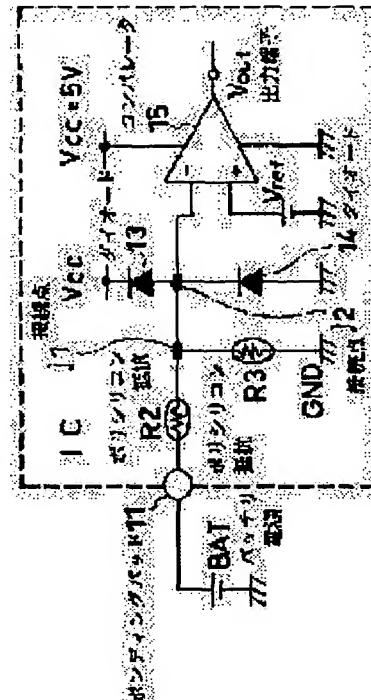
(72)Inventor : MUROTA KAZUAKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a sufficient EMI measure and ease manufacturing even when an external resistance is eliminated by connecting serially a plurality of polysilicon resistances or thin-film resistances between a bonding pad and ground.

**SOLUTION:** A battery power supply BAT is connected with a semiconductor integrated circuit IC through a bonding pad 11. Polysilicon resistances R2 and R3 are connected in series between the bonding pad 11 and ground GND, and the connecting point j1 with the polysilicon resistances R2 and R3 is connected with the connecting point j2 between diodes 13 and 14 and the negative side of inversion input terminal of a comparator 15. The positive side of non-inversion input terminal of the comparator 15 is connected to the positive side of a power supply Vref to give a reference voltage, and the negative side of the power supply Vref is connected to the ground GND, and then the output terminal Vout of the comparator 15 is connected to an internal circuit. Further, the polysilicon resistances R2 and R3 can be formed simultaneously in a step for forming a semiconductor integrated circuit, thereby easing manufacturing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22077

(P2000-22077A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

H 5 F 0 3 8

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平10-183594

(22) 出願日

平成10年6月30日 (1998.6.30)

(71) 出願人 000237592

富士通テン株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

(72) 発明者 室田 和明

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通テン株式会社内

(74) 代理人 100096080

弁理士 井内 龍二

Fターム(参考) 5F038 AR09 BH02 BH04 BH05 BH13

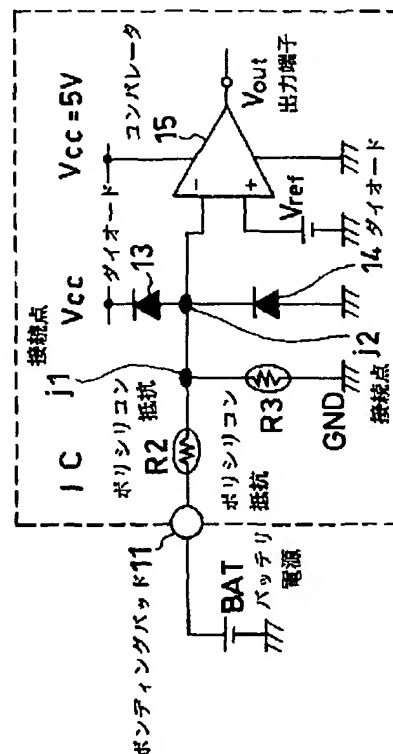
EZ20

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 従来の外付け抵抗の役目を果たす抵抗を I C の中に形成し、しかも寄生ダイオードを生じさせず、E M I 対策としても十分に機能させ得る抵抗を有した半導体集積回路を提供すること。

【解決手段】 ボンディングパッド11とグラウンド G N D との間に直列的に複数個のポリシリコン抵抗 R 2、ポリシリコン抵抗 R 3を介装し、これらポリシリコン抵抗 R 2とポリシリコン抵抗 R 3との接続点 j 1を内部回路及び静電保護ダイオード13、14の接続点 j 2に接続する。



## 【特許請求の範囲】

【請求項1】 ボンディングパッドと接地との間に直列的に複数個のポリシリコン抵抗あるいは薄膜抵抗が介装され、これら抵抗の分割点が内部回路と1個以上の静電保護ダイオードとの接続点に接続されていることを特徴とする半導体集積回路。

【請求項2】 ボンディングパッドと正の電圧源との間に直列的に複数個のポリシリコン抵抗あるいは薄膜抵抗が介装され、これら抵抗の分割点が内部回路と1個以上の静電保護ダイオードとの接続点に接続されていることを特徴とする半導体集積回路。

【請求項3】 ボンディングパッドと1個以上の静電保護ダイオードとの間にポリシリコン抵抗あるいは薄膜抵抗が介装され、前記静電保護ダイオードと内部回路との間にサージ吸収用のクランプ回路が介装されていることを特徴とする半導体集積回路。

【請求項4】 前記静電保護ダイオードの接続点と前記内部回路との間にサージ吸収用のクランプ回路が介装されていることを特徴とする請求項1又は請求項2記載の半導体集積回路。

【請求項5】 ボンディングパッドと静電保護ダイオードとの間にポリシリコンあるいは薄膜からなる一のゲイン設定抵抗が介装され、前記静電保護ダイオードと内部回路との間にポリシリコンあるいは薄膜からなる他のゲイン設定抵抗が介装され、反転オペアンプの反転入力端子が前記静電保護ダイオードと前記他のゲイン設定抵抗との接続点に接続され、非反転入力端子が接地され、出力端子が前記内部回路と前記他のゲイン設定抵抗との接続点に接続されていることを特徴とする半導体集積回路。

【請求項6】 ボンディングパッドと静電保護ダイオードとの間にポリシリコンあるいは薄膜からなる一のゲイン設定抵抗が介装され、前記静電保護ダイオードと内部回路との間にポリシリコンあるいは薄膜からなる他のゲイン設定抵抗が介装され、反転オペアンプの反転入力端子が前記静電保護ダイオードと前記他のゲイン設定抵抗との接続点に接続され、非反転入力端子が正の基準電圧源に接続され、出力端子が前記内部回路と前記他のゲイン設定抵抗との接続点に接続されていることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関し、より詳細にはP型基板上等に構成される半導体集積回路（以下、ICとも記す）に関する。

## 【0002】

【従来の技術】 一般にICにおける素子間は、PN接合の逆バイアスにより分離されている。一般のICはP型基板（サブスレート）上に構成されるため、ICへの入力電圧が基板電圧以下の電圧、より正確には基板電圧一

ダイオードの順方向電圧、になると寄生ダイオードが動作し、ICの破壊や誤動作を生じさせる。

【0003】 また、静電気ノイズ等からIC内部回路を保護するため、通常、ボンディングパッド周辺には静電保護ダイオードと呼ばれる複数個の素子が電源と接地

（GND）間に直列的に配置され、前記ボンディングパッドにその接続点が直接的に接続される構成が採用されている。前記静電保護ダイオードは、一般に、ボンディングパッドーGND（IC基板電圧）間と、ボンディングパッドー電源間に接続されるため、ボンディングパッドには、（GNDーダイオード電圧）以下の電圧、（電源電圧+ダイオード電圧）以上の電圧信号を入力することはできない。

【0004】 しかしながら、ボンディングパッド（IC）にはハーネスを介して±数百Vのサージノイズが作用することもある。EMI対策のためには、通常、数k～数十kオームの抵抗が必要である。そこで、従来は図9に示したように、ICのボンディングパッド11に数k～数十kオームの外付け抵抗R1を接続していた。

## 【0005】

【発明が解決しようとする課題】 しかしながら、ICの外側に外付け抵抗R1を接続することは、製作に手間を要し、また部品点数も多くなり、望ましいことではなかった。他方、外付け抵抗R1の接続をやめてICの内側に抵抗を配置し、ボンディングパッド11に接続することも考えられるが、この抵抗を拡散抵抗で構成すると以下のような課題があった。すなわち、拡散抵抗はN型のエピタキシャル層の中にP型の拡散を行って形成されるため、抵抗自身（P型）とエピタキシャル層（N型）との間に寄生ダイオードが存在する。そのため、通常、エピタキシャル層を拡散抵抗にかかる電圧よりも高い電位に接続し、寄生ダイオードが動作しないようにしなければならない。一方、エピタキシャル層にかけられる電圧はICの耐圧以下に制限されるため、前記拡散抵抗にはICの耐圧以上の電圧をかけることはできない。従って、前記拡散抵抗で従来の外付け抵抗R1を代用させるのは困難であるといった課題があった。

【0006】 本発明は上記課題に鑑みなされたものであって、従来の外付け抵抗の役目を果たす抵抗を半導体集積回路の中に形成し、しかも寄生ダイオードを生じさせず、EMI対策としても十分に機能させ得る抵抗を有した半導体集積回路を提供することを目的としている。

## 【0007】

【課題を解決するための手段及びその効果】 上記目的を達成するために本発明に係る半導体集積回路（1）は、ボンディングパッドと接地との間に直列的に複数個のポリシリコン抵抗あるいは薄膜抵抗が介装され、これら抵抗の分割点が内部回路と1個以上の静電保護ダイオード

との接続点に接続されていることを特徴としている。

【0008】半導体集積回路において実現可能な抵抗としては、ベース拡散抵抗や高抵抗用拡散抵抗の他に、MOSFETのゲート電極等に使用されているポリシリコン抵抗、タンタルやニクロム等を材料として真空蒸着等の方法で形成される薄膜抵抗等が挙げられる。上記したように前記拡散抵抗には半導体集積回路の耐圧以上の電圧をかけることができないが、前記ポリシリコン抵抗や薄膜抵抗には、その構造上、寄生ダイオードが存在せず、ディスクリット抵抗等と同様に取り扱うことができる。そのため、前記ポリシリコン抵抗や薄膜抵抗に半導体集積回路の基板電圧以下の電圧や半導体集積回路の耐圧以上の電圧がかかっても、これらの抵抗が破壊されることはない。

【0009】従って、上記半導体集積回路(1)によれば、適切な値を有する前記ポリシリコン抵抗あるいは薄膜抵抗を形成することにより、前記ボンディングパッドに半導体集積回路の耐圧以上の電圧を有する信号を入力できることとなり、外付け抵抗を省略しても、十分EMI対策を図ることも可能となる。また、前記ポリシリコン抵抗あるいは薄膜抵抗は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子機器全体として見れば、部品点数の削減、製造工数の削減により、コストダウンを図ることができる。

【0010】また、本発明に係る半導体集積回路(2)は、ボンディングパッドと正の電圧源との間に直列的に複数のポリシリコン抵抗あるいは薄膜抵抗が介装され、これら抵抗の分割点が内部回路と1個以上の静電保護ダイオードとの接続点に接続されていることを特徴としている。

【0011】上記半導体集積回路(2)によれば、適切な値を有する前記ポリシリコン抵抗あるいは薄膜抵抗を形成することにより、前記ボンディングパッドに負の電圧あるいは半導体集積回路の基板電圧以下の電圧を有する信号を入力できることとなる。また、前記ポリシリコン抵抗あるいは薄膜抵抗は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子機器全体として見れば、部品点数の削減、製造工数の削減により、コストダウンを図ることができる。

【0012】また、本発明に係る半導体集積回路(3)は、ボンディングパッドと1個以上の静電保護ダイオードの接続点との間にポリシリコン抵抗あるいは薄膜抵抗が介装され、前記静電保護ダイオードと内部回路との間にサージ吸収用のクランプ回路が介装されていることを特徴としている。

【0013】上記半導体集積回路(3)によれば、前記

ボンディングパッドに正あるいは負の過大な電圧が作用しても、前記内部回路には誤動作を生じさせる電圧や回路が破壊されるような電圧が作用することはない。

【0014】また、本発明に係る半導体集積回路(4)は、上記半導体集積回路(1)又は(2)において、前記静電保護ダイオードの接続点と前記内部回路との間にサージ吸収用のクランプ回路が介装されていることを特徴としている。

【0015】上記半導体集積回路(4)によれば、前記ボンディングパッドに正あるいは負の過大な電圧が作用しても、前記内部回路には誤動作を生じさせる電圧や回路が破壊されるような電圧が作用することはない。

【0016】また、本発明に係る半導体集積回路(5)は、ボンディングパッドと静電保護ダイオードとの間にポリシリコンあるいは薄膜からなる一のゲイン設定抵抗が介装され、前記静電保護ダイオードと内部回路との間にポリシリコンあるいは薄膜からなる他のゲイン設定抵抗が介装され、反転オペアンプの反転入力端子が前記静電保護ダイオードと前記他のゲイン設定抵抗との接続点に接続され、非反転入力端子が接地され、出力端子が前記内部回路と前記他のゲイン設定抵抗との接続点に接続されていることを特徴としている。

【0017】上記半導体集積回路(5)によれば、抵抗を外付けすることなく、前記ボンディングパッドに作用する負又は半導体集積回路の基板電圧以下の電圧を正の所望の電圧に変換できることとなる。

【0018】また、本発明に係る半導体集積回路(6)は、ボンディングパッドと静電保護ダイオードとの間にポリシリコンあるいは薄膜からなる一のゲイン設定抵抗が介装され、前記静電保護ダイオードと内部回路との間にポリシリコンあるいは薄膜からなる他のゲイン設定抵抗が介装され、反転オペアンプの反転入力端子が前記静電保護ダイオードと前記他のゲイン設定抵抗との接続点に接続され、非反転入力端子が正の基準電圧源に接続され、出力端子が前記内部回路と前記他のゲイン設定抵抗との接続点に接続されていることを特徴としている。

【0019】上記半導体集積回路(6)によれば、抵抗を外付けすることなく、前記ボンディングパッドに作用する半導体集積回路の電源電圧以上の高電圧を前記電源電圧以下の正の所望の電圧に変換できることとなる。

【0020】

【発明の実施の形態】以下、本発明に係る半導体集積回路の実施の形態を図面に基づいて説明する。図1は実施の形態(1)に係る半導体集積回路を示す回路図であり、図中BATはバッテリー電源を示しており、バッテリー電源BATはボンディングパッド11を介して半導体集積回路ICに接続されている。ボンディングパッド11とグランドGNDとの間にはポリシリコン抵抗R2、R3が直列接続されており、これらポリシリコン抵抗R2とポリシリコン抵抗R3との接続点j1がダイオード1

3とダイオード14との接続点j2、及びコンパレータ15の反転入力端子-に接続されている。コンパレータ15の非反転入力端子+は基準電圧を与える電源Vrefの+側に接続され、電源Vrefの-側はグランドGNDに接続され、コンパレータ15の出力端子Voutは内部回路(図示せず)に接続されている。ダイオード13のカソードは電源Vccに接続され、ダイオード14のアノードはグランドGNDに接続されている。

【0021】車載用の電子制御機器では、バッテリー電源BATの電圧をモニタし、制御を行う必要があるものが多い。上記したように構成された実施の形態(1)に係る半導体集積回路の場合、分圧抵抗がポリシリコン抵抗R2、R3で構成されているため、ボンディングパッド11に、電源Vccの電圧、例えば5Vよりも高いバッテリー電源BATの電圧、例えば8Vを印加しても、ポリシリコン抵抗R2、R3が破壊されることはない。またバッテリー電源BATの電圧をポリシリコン抵抗R2とポリシリコン抵抗R3とで分圧したもの(適切な値にまで落したものを)コンパレータ15の反転入力端子-に入力することができるため、コンパレータ15の電源Vccの電圧(5V)がバッテリー電源BATの電圧(8V)よりも低くても抵抗を外付けすることなく、バッテリー電源BATの電圧をモニタすることができる。

【0022】また、ポリシリコン抵抗R2、ポリシリコン抵抗R3は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子制御機器全体として見れば、部品点数の削減、製造工数の削減となり、コストダウンを図ることができる。

【0023】図2は実施の形態(2)に係る半導体集積回路を示す回路図であり、図中BATはバッテリー電源を示しており、バッテリー電源BATはボンディングパッド20を介して半導体集積回路ICに接続されている。またバッテリー電源BATからの出力ラインがボンディングパッド11を介して半導体集積回路ICに接続されており、ボンディングパッド11とグランドGNDとの間にはポリシリコン抵抗R4、R5が直列接続され、これらポリシリコン抵抗R4とポリシリコン抵抗R5との接続点j1がダイオード13とダイオード14との接続点j2、及びエラーアンプ16の非反転入力端子+に接続されている。エラーアンプ16の反転入力端子-は基準電圧を与える電源Vrefの+側に接続され、電源Vrefの-側はグランドGNDに接続され、エラーアンプ16の出力端子VoutはPWMコンパレータ17の反転入力端子-に接続されている。PWMコンパレータ17の非反転入力端子+には発振器18が接続され、PWMコンパレータ17の出力端子VoutはNPNトランジスタTR1のベースに接続されている。NPNトランジスタTR1のエミッタはグランドGNDに接続され、コ

レクタはボンディングパッド19に接続されている。ダイオード13のカソードは電源Vccに接続され、ダイオード14のアノードはグランドGNDに接続されている。

【0024】また、バッテリー電源BATの出力ラインにはコイル21とダイオード22が介装され、コイル21とダイオード22との接続点j3にはボンディングパッド19が接続され、ダイオード22のカソードにはコンデンサ23の一端が接続され、コンデンサ23の他端はグランドGNDに接続されている。

【0025】車載用の電子制御機器では、バッテリー電源BATの電圧、例えば14Vよりも高い電圧を必要とするものがある。エアバッグシステムなどでは30V程度の電圧を必要とする。上記したように構成されたスイッチングレギュレータ(ステップアップレギュレータ)である実施の形態(2)に係る半導体集積回路の場合、分圧抵抗がポリシリコン抵抗R4、R5で構成されているため、ボンディングパッド11にはバッテリー電源BATの電圧(例えば14V程度)がステップアップされた、例えば30Vよりも高い電圧であっても問題なくこれを印加することができる。またステップアップされた電圧をポリシリコン抵抗R4とポリシリコン抵抗R5とで分圧したもの(適切な値にまで落したものを)エラーアンプ16の非反転入力端子+に入力することができるため、エラーアンプ16の電源Vccの電圧がステップアップされた電圧よりも低くても抵抗を外付けすることなく、ステップアップされた電圧をモニタすることができる。

【0026】また、ポリシリコン抵抗R4、ポリシリコン抵抗R5は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子制御機器全体として見れば、部品点数の削減、製造工数の削減となり、コストダウンを図ることができる。

【0027】図3は実施の形態(3)に係る半導体集積回路を示す回路図であり、負の電源電圧がボンディングパッド11を介して半導体集積回路ICに印加されている。ボンディングパッド11と電源Vccとの間にはポリシリコン抵抗R6、R7が直列接続されており、これらポリシリコン抵抗R6とポリシリコン抵抗R7との接続点j1がダイオード13とダイオード14との接続点j2、及びコンパレータ30の反転入力端子-に接続されている。コンパレータ30の非反転入力端子+は基準電圧を与える、電源Vccの抵抗R8と抵抗R9とによる分割点j4に接続され、抵抗R8の一端は電源Vccに接続され、抵抗R9の一端はグランドGNDに接続され、コンパレータ30の出力端子Voutは内部回路(図示せず)に接続されている。ダイオード13のカソードは電源Vccに接続され、ダイオード14のアノ

ドはグラウンドGNDに接続されている。

【0028】車載用の電子制御機器のうち、ミリ波レーダの受信回路等に用いられるGaAs半導体集積回路を用いたRFアンプ等では正負2電源駆動であり、負の電源電圧を必要とする。上記したように構成された実施の形態(3)に係る半導体集積回路の場合、分圧抵抗がポリシリコン抵抗R6、R7で構成されているため、負の電圧が作用しても破壊されることはなく、ボンディングパッド11には負の電圧であってもこれを印加することができる。また負の電源電圧をポリシリコン抵抗R6とポリシリコン抵抗R7とで分圧したもの(適切な値に調整したもの)をコンパレータ30の反転入力端子-に入力することができるため、コンパレータ30の電源Vccの電圧が正であっても抵抗を外付けすることなく、負の電圧をモニタすることができる。

【0029】また、ポリシリコン抵抗R6、R7は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子制御機器全体として見れば、部品点数の削減、製造工数の削減となり、コストダウンを図ることができる。

【0030】図4は実施の形態(4)に係る半導体集積回路を示す回路図であり、入力側のボンディングパッド11にはポリシリコン抵抗R10の一端が接続されており、ポリシリコン抵抗R10の他端はダイオード13とダイオード14との接続点j2、及びコンパレータ40の反転入力端子-に接続されている。コンパレータ40の非反転入力端子+は、基準電圧を与える、電源Vccの抵抗R8と抵抗R9とによる分割点j4に接続され、抵抗R8の一端は電源Vccに接続され、抵抗R9の一端はグラウンドGNDに接続され、コンパレータ40の出力端子Voutは内部回路(図示せず)に接続されている。ダイオード13のカソードは電源Vccに接続され、ダイオード14のアノードはグラウンドGNDに接続されている。

【0031】また、接続点j2と反転入力端子-の間にはクランプ回路CLが介装されている。クランプ回路CLはNPNトランジスタTR2、PNPトランジスタTR3を含んで構成され、NPNトランジスタTR2のコレクタは電源Vccに接続され、エミッタは接続点j5を介してPNPトランジスタTR3のエミッタに接続され、ベースは抵抗R11とダイオード42との接続点j7に接続されている。PNPトランジスタTR3のコレクタはグラウンドGNDに接続され、ベースは抵抗R11とダイオード41との接続点j6に接続されている。ダイオード41のアノードは電源Vccに接続され、ダイオード42のカソードはグラウンドGNDに接続されている。これらNPNトランジスタTR2、PNPトランジスタTR3、ダイオード41、ダイオード42、抵抗R11を含んでクランプ回路CLが構成されている。

【0032】車載用の電子制御機器の半導体集積回路には、外部からの電磁波ノイズ等、正負の過大な信号が入力されることがあるが、上記したように構成された実施の形態(4)に係る半導体集積回路の場合、ノイズ除去用の抵抗がポリシリコン抵抗R10で構成されているため、ボンディングパッド11に正負の過大な電圧が作用してもポリシリコン抵抗R10が破壊されることはない。しかもコンパレータ40の反転入力端子-への入力にはクランプ回路CLを介して行われるため、ボンディングパッド11に正負の過大な電圧が作用しても、コンパレータ40の反転入力端子-へはGND電圧以下、電源Vccの電圧以上の電圧が入力されることはなくなり、コンパレータ40の誤動作の発生を防止することができる。

【0033】また、ポリシリコン抵抗R10は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子制御機器全体として見れば、部品点数の削減、製造工数の削減となり、コストダウンを図ることができる。

【0034】図5は実施の形態(5)に係る半導体集積回路を示す回路図であり、負の電源電圧がボンディングパッド11を介して半導体集積回路ICに印加されている。ボンディングパッド11にはポリシリコン抵抗R12の一端が接続されており、ポリシリコン抵抗R12の他端はダイオード13とダイオード14との接続点j2、及び反転アンプ50の反転入力端子-に接続されている。反転アンプ50の非反転入力端子+はグラウンドGNDに接続され、出力端子Voutはポリシリコン抵抗R13とコンパレータ30の反転入力端子-との接続点j9に接続されている。コンパレータ30の非反転入力端子+は比較電圧を与える、電源Vccの抵抗R14と抵抗R15とによる分割点j10に接続され、抵抗R14の一端は電源Vccに接続され、抵抗R15の一端はグラウンドGNDに接続され、コンパレータ30の出力端子Voutは内部回路(図示せず)および抵抗R16を介して電源Vccに接続されている。ダイオード13のカソードは電源Vccに接続され、ダイオード14のアノードはグラウンドGNDに接続されている。

【0035】車載用の電子制御機器のうち、ミリ波レーダの受信回路等に用いられるGaAs半導体集積回路を用いたRFアンプ等では正負2電源駆動であり、負の電源電圧を必要とする。上記したように構成された実施の形態(5)に係る半導体集積回路の場合、反転アンプ50のゲインを決定するゲイン設定抵抗がポリシリコン抵抗R12、R13で構成されているため、ボンディングパッド11には負の電圧であってもこれを印加することができる。また負の電圧が反転アンプ50で反転出力されてコンパレータ30の反転入力端子-に入力されるため、コンパレータ30の電源Vccの電圧が前記負の電



圧の絶対値より小さくても抵抗を外付けすることなく、負の電圧をモニタすることができる。

【0036】例えば、接続点j10における比較電圧が2Vとなるように抵抗R14と抵抗R15との抵抗値が設定され、反転アンプ50のゲインが5分の1となるようにポリシリコン抵抗R12とポリシリコン抵抗R13との抵抗値が設定されていると、図6に示したように、ボンディングパッド11から入力される負の電圧が-10Vの時に、反転アンプ50から出力される接続点j9における電圧が2Vとなり、コンパレータ30の出力端子Voutから出力される電圧がハイからローに切り換わる。したがって、ボンディングパッド11から入力される-10Vの電圧をモニタすることができる。

【0037】実施の形態(5)に係る半導体集積回路によれば、これらポリシリコン抵抗R12、ポリシリコン抵抗R13、抵抗R14及び抵抗R15の値を所望の値に設定することにより、かなり広い範囲における負の入力電圧をモニタすることができる。

【0038】また、ポリシリコン抵抗R12、R13は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子制御機器全体として見れば、部品点数の削減、製造工数の削減となり、コストダウンを図ることができる。

【0039】図7は実施の形態(6)に係る半導体集積回路を示す回路図であり、図7に示した半導体集積回路が、図5に示した半導体集積回路と相違している点は反転アンプ50の非反転入力端子+がグランドGNDにではなく、基準電圧を与える電源Vrefに接続されている点である。したがって、ここではその他の詳しい構成の説明は省略することとする。

【0040】実施の形態(6)に係る半導体集積回路によれば、例えば、接続点j10における比較電圧が3Vとなるように抵抗R14と抵抗R15との抵抗値が設定され、反転アンプ50のゲインが5分の1となるようにポリシリコン抵抗R12とポリシリコン抵抗R13との抵抗値が設定され、基準電源Vrefの電圧が5Vに設定されていると、図8に示したように、ボンディングパッド11から入力される正の電圧が15Vになると、コンパレータ30の出力端子Voutから出力される信号がローからハイに切り換わることとなり、電源Vccの電圧(5V)よりも高い入力電圧(15V)をモニタできる。

【0041】実施の形態(6)に係る半導体集積回路によれば、これらポリシリコン抵抗R12、ポリシリコン抵抗R13、抵抗R14及び抵抗R15の値を所望の値に設定することにより、かなり広い範囲における正の入力電圧をモニタすることができる。

【0042】また、ポリシリコン抵抗R12、R13は、従来の外付け抵抗と相違し、半導体集積回路の形成過程において同時に形成できるものであるため、製作が容易で、外付けする手間を要しない。従って、電子制御機器全体として見れば、部品点数の削減、製造工数の削減となり、コストダウンを図ることができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態(1)に係る半導体集積回路を示す回路図である。

【図2】 本発明の実施の形態(2)に係る半導体集積回路を示す回路図である。

【図3】 本発明の実施の形態(3)に係る半導体集積回路を示す回路図である。

【図4】 本発明の実施の形態(4)に係る半導体集積回路を示す回路図である。

【図5】 本発明の実施の形態(5)に係る半導体集積回路を示す回路図である。

【図6】 図5に示した半導体集積回路の作動を説明するためのコンパレータからの出力電圧を示すグラフである。

【図7】 本発明の実施の形態(6)に係る半導体集積回路を示す回路図である。

【図8】 図7に示した半導体集積回路の作動を説明するためのコンパレータからの出力電圧を示すグラフである。

【図9】 従来の半導体集積回路を示す回路図である。

#### 【符号の説明】

BAT バッテリ電源

11 ボンディングパッド

13 ダイオード

14 ダイオード

15 コンパレータ

R2 ポリシリコン抵抗

R3 ポリシリコン抵抗

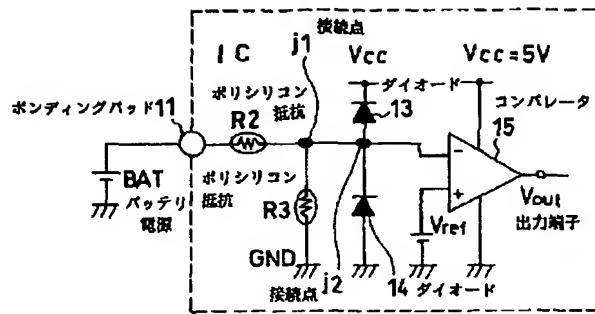
j1 接続点

j2 接続点

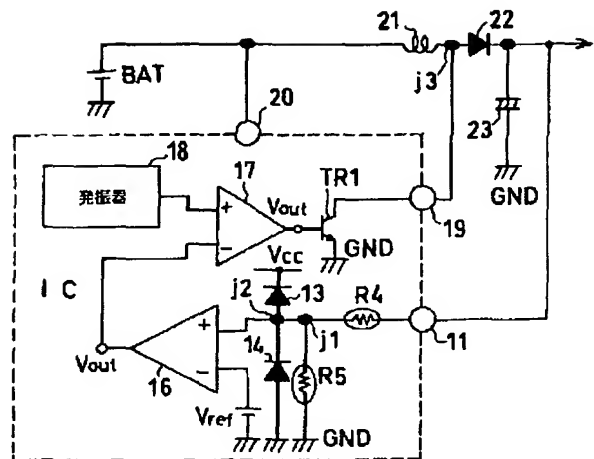
Vout 出力端子



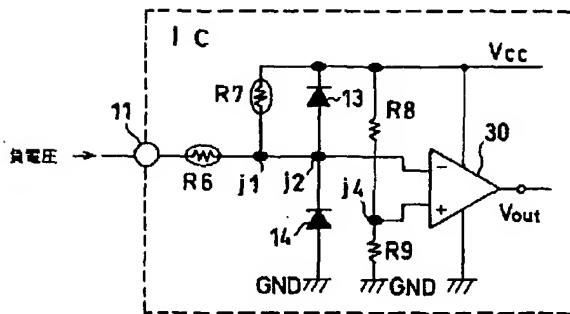
【図1】



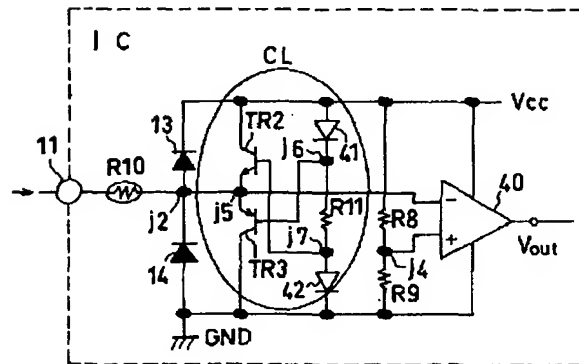
【図2】



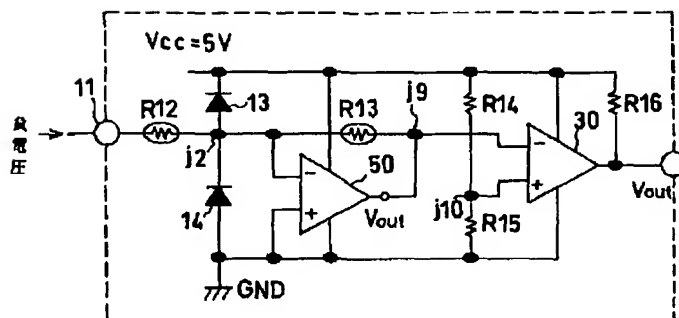
【図3】



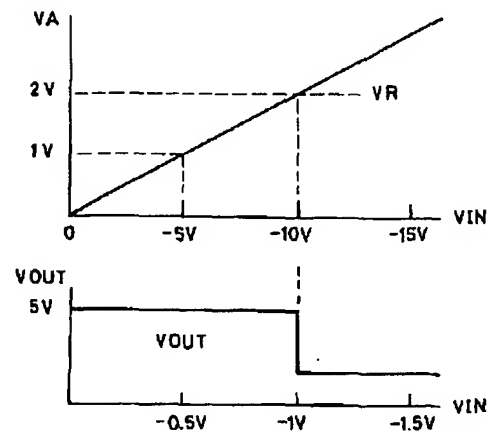
【図4】



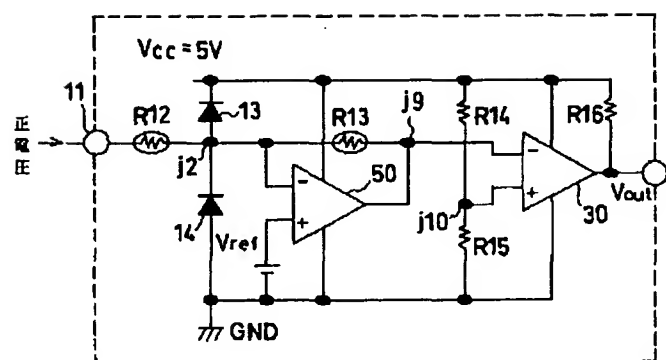
【図5】



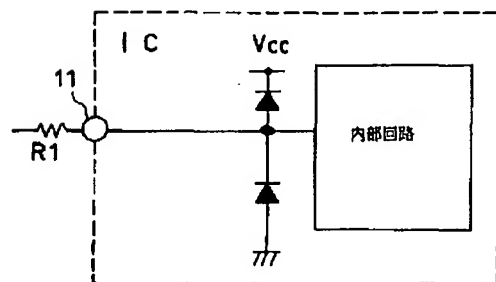
【図6】



【図7】



【図9】



【図8】

